

CLIPPEDIMAGE= JP02002237545A

PAT-NO: JP02002237545A

DOCUMENT-IDENTIFIER: JP 2002237545 A

TITLE: MANUFACTURING FOR CIRCUIT DEVICE

PUBN-DATE: August 23, 2002

INVENTOR-INFORMATION:

NAME

TOYOOKA, SHINICHI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP2001034656

APPL-DATE: February 9, 2001

INT-CL (IPC): H01L023/12;H01L021/56 ;H05K003/04 ;H05K003/06

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for reducing the cost and the resources, while even if there are no extra constituent factors and manufacturing a small and thin circuit device, by embedding a conductive path in an insulating resin requiring no usage of a support board.

SOLUTION: A conductive foil is pressed with a metallic die having a formation part for a desired conductive path to form a desired conductive path 55A on the conductive foil. A circuit element 55 is mounted. After insulating resin 61 is mounted with the conductive foil as a support board, an joining part of the conductive foil is etched with the insulating resin 61 as the support board which is separated as a conductive path. Without having to

adopt the support
board, a circuit device having the conductive path 55A and
the circuit element
56 supported by the insulating resin 61 is realized.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237545

(P2002-237545A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
H 0 1 L	23/12	H 0 1 L 21/56	R 5 E 3 3 9
	21/56	H 0 5 K 3/04	A 5 F 0 6 1
H 0 5 K	3/04	3/06	A
	3/06	H 0 1 L 23/12	F

審査請求 未請求 請求項の数18 O L (全 11 頁)

(21) 出願番号 特願2001-34656 (P2001-34656)

(22) 出願日 平成13年2月9日 (2001.2.9)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 豊岡 伸一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100091605

弁理士 岡田 敬 (外1名)

Fターム (参考) 5E339 AB02 BC02 BC03 BD03 BD06

BD12 BE01 BE11 BE13

5F061 AA01 BA04 CA21 CA22 CB13

FA02

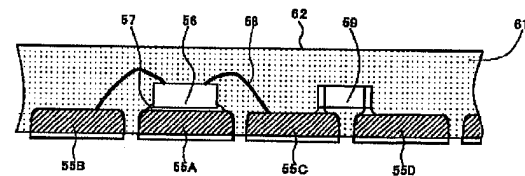
(54) 【発明の名称】 回路装置の製造方法

(57) 【要約】 (修正有)

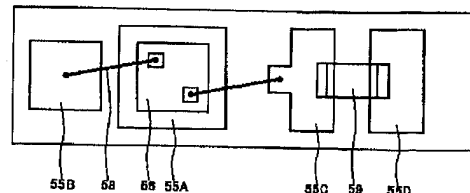
【課題】 余分な構成要素が無いため、コストおよび資源の無駄を低減できるとともに、支持基板が不要であって、導電路が絶縁性樹脂に埋め込まれていることにより、非常に薄く、小型化できる回路装置の製造方法を提供する。

【解決手段】 導電箔を所望の導電路の形成部が形成された金型でプレスし、導電箔上に所望の導電路55Aを形成した後、回路素子56を実装し、この導電箔を支持基板として絶縁性樹脂61を被着した後、今度は絶縁性樹脂61を支持基板として導電箔の連結部をエッチングして導電路として分離している。従って支持基板を採用することなく、導電路55A、回路素子56が絶縁性樹脂61に支持された回路装置が実現できる。

(A)



(B)



【特許請求の範囲】

【請求項1】 導電箔を用意する工程と、

前記導電箔の少なくとも導電路となる領域を残して前記導電箔をプレスして、前記導電箔に複数の前記導電路を形成する工程と、

所望の回路素子を所望の前記導電路上に電気的に接続して固着する工程と、

前記回路素子、前記接続手段および前記導電路を被覆し、前記導電路間の溝に充填されるように絶縁性樹脂でモールドし、前記導電路と前記絶縁性樹脂を一体化させる工程と、

前記導電箔の裏面から前記導電路を残して他を除去する工程とを具備することを特徴とする回路装置の製造方法。

【請求項2】 前記導電箔をプレスする工程は、複数の前記導電路の形成部が設けられた1対の金型に前記導電箔を設置し、前記導電箔の両面から前記導電箔をプレスする工程であることを特徴とする請求項1記載の回路装置の製造方法。

【請求項3】 前記導電箔の裏面から前記導電路を残して他を除去する工程は、前記導電箔を裏面から切削する工程であることを特徴とする請求項1記載の回路装置の製造方法。

【請求項4】 前記導電箔の裏面から前記導電路を残して他を除去する工程は、最初に前記導電箔を裏面から切削し、その後切削面からエッチングすることを特徴とする請求項1記載の回路装置の製造方法。

【請求項5】 前記回路素子は半導体ベアチップ、フリップチップ、チップ回路部品、パッケージ型半導体素子、CSPのいずれかあるいは両方を固着させることを特徴とする請求項1記載の回路装置の製造方法。

【請求項6】 前記絶縁性樹脂はトランスファーモールドで付着されることを特徴とする請求項1記載の回路装置の製造方法。

【請求項7】 前記導電箔は、銅、アルミニウム、鉄-ニッケルのいずれかで構成されることを特徴とする請求項1から請求項4のいずれかに記載された回路装置の製造方法。

【請求項8】 前記導電路は少なくとも配線を構成することを特徴とする請求項1から請求項3のいずれかに記載された回路装置の製造方法。

【請求項9】 導電箔を用意する工程と、

前記導電箔の少なくとも導電路となる領域を残して前記導電箔をプレスして、前記導電箔に複数の前記導電路を形成する工程と、

所望の回路素子を所望の前記導電路上に電気的に接続して固着する工程と、

前記回路素子の電極と所望の前記導電路とを電気的に接続する接続手段を形成する工程と、

前記回路素子、前記接続手段および前記導電路を被覆

し、前記導電路間の溝に充填されるように絶縁性樹脂でモールドし、前記導電路と前記絶縁性樹脂を一体化させる工程と、

前記導電箔の裏面から前記導電路を残して他を除去する工程と、

前記絶縁性樹脂を切断して個別の回路装置に分離する工程とを具備することを特徴とする回路装置の製造方法。

【請求項10】 前記導電箔をプレスする工程は、複数の前記導電路の形成部が設けられた1対の金型に前記導電箔を設置し、前記導電箔の両面から前記導電箔をプレスする工程であることを特徴とする請求項9記載の回路装置の製造方法。

【請求項11】 前記導電箔の裏面から前記導電路を残して他を除去する工程は、前記導電箔を裏面から切削する工程であることを特徴とする請求項9記載の回路装置の製造方法。

【請求項12】 前記導電箔の裏面から前記導電路を残して他を除去する工程は、最初に前記導電箔を裏面から切削し、その後切削面からエッチングすることを特徴とする請求項9記載の回路装置の製造方法。

【請求項13】 前記回路素子は半導体ベアチップ、フリップチップ、チップ回路部品、パッケージ型半導体素子、CSPのいずれかあるいは両方を固着させることを特徴とする請求項9記載の回路装置の製造方法。

【請求項14】 前記接続手段はワイヤーボンディングまたはろう材で形成されることを特徴とする請求項9記載の回路装置の製造方法。

【請求項15】 前記絶縁性樹脂はトランスファーモールドで付着されることを特徴とする請求項9記載の回路装置の製造方法。

【請求項16】 ダイシングにより個別の回路装置に分離することを特徴とする請求項9記載の回路装置の製造方法。

【請求項17】 前記導電箔は、銅、アルミニウム、鉄-ニッケルのいずれかで構成されることを特徴とする請求項9から請求項12のいずれかに記載された回路装置の製造方法。

【請求項18】 前記導電路は、少なくとも配線を構成することを特徴とする請求項9から請求項12のいずれかに記載された回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、回路装置の製造方法に関し、特に薄型の回路装置の製造方法に関するものである。

【0002】

【従来の技術】 従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】 例えば、回路装置として半導体装置を例に

して述べると、一般的な半導体装置として、従来通常のトランスファーマールドで封止されたパッケージ型半導体装置がある。この半導体装置1は、図10のように、プリント基板PSに実装される。

【0004】またこのパッケージ型半導体装置1は、半導体チップ2の周囲を樹脂層3で被覆し、この樹脂層3の側部から外部接続用のリード端子4が導出されたものである。

【0005】しかしこのパッケージ型半導体装置1は、リード端子4が樹脂層3から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

【0006】そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近ではCSP(チップサイズパッケージ)と呼ばれる、チップのサイズと同等のウェハスケールCSP、またはチップサイズよりも若干大きいサイズのCSPが開発されている。

【0007】図11は、支持基板としてガラスエポキシ基板5を採用した、チップサイズよりも若干大きいCSP6を示すものである。ここではガラスエポキシ基板5にトランジスタチップTが実装されたものとして説明していく。

【0008】このガラスエポキシ基板5の表面には、第1の電極7、第2の電極8およびダイパッド9が形成され、裏面には第1の裏面電極10と第2の裏面電極11が形成されている。そしてスルーホールTHを介して、前記第1の電極7と第1の裏面電極10が、第2の電極8と第2の裏面電極11が電気的に接続されている。またダイパッド9には前記ベアのトランジスタチップTが固着され、トランジスタのエミッタ電極と第1の電極7が金属細線12を介して接続され、トランジスタのベース電極と第2の電極8が金属細線12を介して接続されている。更にトランジスタチップTを覆うようにガラスエポキシ基板5に樹脂層13が設けられている。

【0009】前記CSP6は、ガラスエポキシ基板5を採用するが、ウェハスケールCSPと違い、チップTから外部接続用の裏面電極10、11までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】また前記CSP6は、図11のように、プリント基板PSに実装される。プリント基板PSには、電気回路を構成する電極、配線が設けられ、前記CSP6、パッケージ型半導体装置1、チップ抵抗CRまたはチップコンデンサCC等が電気的に接続されて固着される。

【0011】そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】つぎに、このCSPの製造方法を図12および図13を参照しながら説明する。尚、図13では、中央のガラエポ/フレキ基板と題するフロー図を参照す

る。

【0013】まず基材(支持基板)としてガラスエポキシ基板5を用意し、この両面に絶縁性接着剤を介してCu箔20、21を圧着する。(以上図12(A)を参照)

続いて、第1の電極7、第2の電極8、ダイパッド9、第1の裏面電極10および第2の裏面電極11に対応するCu箔20、21に耐エッチング性のレジスト22を被覆し、Cu箔20、21をパターニングする。尚、パターニングは、表と裏で別々にしても良い(以上図12(B)を参照)

続いて、ドリルやレーザを利用してスルーホールTHのための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホールTHを形成する。このスルーホールTHにより第1の電極7と第1の裏面電極10、第2の電極8と第2の裏面電極10が電気的に接続される。(以上図12(C)を参照)

更に、図面では省略したが、ボンディングポストと成る第1の電極7、第2の電極8にNiメッキを施すと共に、ダイボンディングポストとなるダイパッド9にAuメッキを施し、トランジスタチップTをダイボンディングする。

【0014】最後に、トランジスタチップTのエミッタ電極と第1の電極7、トランジスタチップTのベース電極と第2の電極8を金属細線12を介して接続し、樹脂層13で被覆している。(以上図12(D)を参照)そして必要により、ダイシングして個々の電気素子として分離している。図11では、ガラスエポキシ基板5に、トランジスタチップTが一つしか設けられていないが、実際は、トランジスタチップTがマトリックス状に多数個設けられている。そのため、最後にダイシング装置により個別分離されている。

【0015】以上の製造方法により、支持基板5を採用したCSP型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

【0016】一方、セラミック基板を採用した製造方法を図13左側のフローに示す。支持基板であるセラミック基板を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図12の製造方法と同じであるが、セラミック基板は、非常にもろく、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができない問題がある。そのため、封止樹脂をポッティングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

【0017】

【発明が解決しようとする課題】図11に於いて、トランジスタチップT、接続手段7~12および樹脂層13

は、外部との電氣的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する電気回路装置を提供するのは難しかった。

【0018】また、支持基板となるガラスエポキシ基板5は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板5を無くすることができなかった。

【0019】そのため、このガラスエポキシ基板5を採用することによって、コストが上昇し、更にはガラスエポキシ基板5が厚いために、回路装置として厚くなり、小型化、薄型化、軽量化に限界があった。

【0020】更に、ガラスエポキシ基板やセラミック基板では必ず両面の電極を接続するスルーホール形成工程が不可欠であり、製造工程も長くなる問題もあった。

【0021】図14は、ガラスエポキシ基板、セラミック基板または金属基板等に形成されたパターン図を示すものである。このパターンは、一般にIC回路が形成されており、トランジスタチップ21、ICチップ22、チップコンデンサ23および/またはチップ抵抗24が実装されている。このトランジスタチップ21やICチップ22の周囲には、配線25と一体となったボンディングパッド26が形成され、金属細線28を介してチップ21、22とボンディングパッドが電氣的に接続されている。また配線29は、外部リードパッド30と一体となり形成されている。これらの配線25、29は、基板の中を曲折しながら延在され、必要によってはICチップの中で一番細く形成されている。従って、この細い配線は、基板と接着面積が非常に少なく、配線が剥がれたり、反ったりする問題があった。またボンディングパッド26は、パワー用のボンディングパッドと小信号用のボンディングパッドがあり、特に小信号用のボンディングパッドは、接着面積が小さく、膜剥がれの原因となっていた。

【0022】更には、外部リードパッドには、外部リードが固着されるが、外部リードに加えられる外力により、外部リードパッドが剥がれる問題もあった。

【0023】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、導電箔を用意する工程と、前記導電箔の少なくとも導電路となる領域を残して前記導電箔をプレスして、前記導電箔に複数の前記導電路を形成する工程と、所望の回路素子を所望の前記導電路上に電氣的に接続して固着する工程と、前記回路素子、前記接続手段および前記導電路を被覆し、前記導電路間の溝に充填されるように絶縁性樹脂でモールドし、前記導電路と前記絶縁性樹脂を一体化させる工程と、前記導電箔の裏面から前記導電路を残して他を除去する工程とを具備することを特徴とする。

【0024】本発明の回路装置の製造方法は、好適には、前記導電箔を両面からプレスする工程において、複数の前記導電路の形成部が設けられた1対の金型に前記導電箔を設置し、前記導電箔の両面から前記導電箔をプレスすることで、前記導電箔一体に複数の前記導電路を形成することができることを特徴とする。

【0025】また本発明は、導電箔を用意する工程と、前記導電箔の少なくとも導電路となる領域を残して前記導電箔をプレスして、前記導電箔に複数の前記導電路を形成する工程と、所望の回路素子を所望の前記導電路上に電氣的に接続して固着する工程と、前記回路素子の電極と所望の前記導電路とを電氣的に接続する接続手段を形成する工程と、前記回路素子、前記接続手段および前記導電路を被覆し、前記導電路間の溝に充填されるように絶縁性樹脂でモールドし、前記導電路と前記絶縁性樹脂を一体化させる工程と、前記導電箔の裏面から前記導電路を残して他を除去する工程と、前記絶縁性樹脂を切断して個別の回路装置に分離する工程とを具備することを特徴とする。

【0026】本発明の回路装置の製造方法は、好適には、前記導電箔の裏面から前記導電路を残して他を除去する工程において、前記導電箔を裏面から切削し、または、切削した後にエッチングすることで、前記各導電路を分離し、所望前記回路装置を一度に形成することができることを特徴とする。

【0027】

【発明の実施の形態】本発明の実施の形態

図1～図6を参照して本発明の回路装置62の製造方法の実施の形態について説明する。

【0028】本発明は、導電箔を用意する工程と、前記導電箔の少なくとも導電路となる領域を残して前記導電箔をプレスして、前記導電箔に複数の前記導電路を形成する工程と、所望の回路素子を所望の前記導電路上に電氣的に接続して固着する工程と、前記回路素子の電極と所望の前記導電路とを電氣的に接続する接続手段を形成する工程と、前記回路素子、前記接続手段および前記導電路を被覆し、前記導電路間の溝に充填されるように絶縁性樹脂でモールドし、前記導電路と前記絶縁性樹脂を一体化させる工程と、前記導電箔の裏面から前記導電路を残して他を除去する工程と、前記絶縁性樹脂を切断して個別の回路装置に分離する工程から構成されている。

【0029】まず本発明の第1の工程は、図1に示す如く、シート状の導電箔51を用意することにある。

【0030】この導電箔51は、ロウ材の付着性、ボンディング性、メッキ性が考慮されその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0031】ここで重要なことは、両導電箔がエッチングできる事、および抵抗値が低いことである。例えば、

抵抗値の低い材料として、Cu、Al、Au、Ag、Pt等があげられるが、コスト、加工性を考慮するとCuとAlが適当である。Cuは、抵抗値が低くコストも安い材料であり、ウェットエッチングが可能な材料である。しかしドライエッチングしづらい材料である。

【0032】一方、Alは、半導体ICの配線に多用され、異方性エッチングが可能な材料である。側壁をストレーツでエッチングできるため、より高密度に配線を形成することができる。

【0033】そして、導電箔の厚さは、後述する絞り加工を考慮すると0.1mm～1.0mm程度が好ましい。しかし、導電箔の厚さは0.1mm以下でも1.0mm以上でも絞り加工が行える限り基本的には問題はない。

【0034】尚、導電箔51は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた導電箔が用意され、後述する各工程に搬送されても良い。

【0035】本発明の第2の工程は、図2に示す如く、少なくとも導電路と成る領域を除いた導電箔51を金型でプレスして導電路を形成することにある。このとき、導電路の側面には、せん断面も破断面も形成されない。

【0036】次に、図2(A)に示すように、セミパワートランジスタ、ダイオード、ICチップ等の回路素子が設置される導電路や金属細線がワイヤーボンディングされる導電路の形成部53A～53Dが凸部として形成された金型52を準備する。金型52の表面には、複数の導電路の形成部が形成される。そして、金型52上に導電箔51が設置される。

【0037】次に、金型52上に設置された導電箔51上には、金型52と対となるもう一方の金型54を設置する。金型54は、金型52とは逆に、セミパワートランジスタ、ダイオード、ICチップ等の回路素子設置される導電路や金属細線がワイヤーボンディングされる導電路の形成部53A～53D対応部が凹部として形成されている。そして、金型52に対応して金型54の表面には、複数の導電路の形成部が形成されている。

【0038】そして、導電箔51は金型52、54により両面からプレスされる。

【0039】次に、図2(B)に示すように、金型52、54によりプレスされた導電箔51には、複数の導電路55A～55Dが形成される。この絞り加工では、導電箔51の両面から金型52、54の凸部、凹部を利用し導電箔51を絞ることに特徴がある。その結果、導電箔51の側面には、せん断面も破断面も形成されない。

【0040】尚、この絞り加工により、導電箔51上には複数の導電路55A～55Dが形成されるが、導電路55A～55D形成部以外は押し出され一体のシート状

で維持しているため、この導電箔51は個々の導電路55A～55Dに分離されない。従ってシート状の導電箔51として一体で取り扱え、絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0041】本発明の第3の工程は、図3に示す如く、所望の回路素子を所望の導電路上に電気的に接続して固着し、回路素子の電極と所望の導電路とを電気的に接続する接続手段を形成することにある。すなわち、導電路55A～55D上に回路素子56、59を電気的に接続して実装され、接続手段で電気的な接続を行う。

【0042】回路素子としては、トランジスタ、ダイオード、ICチップ等の半導体素子56、チップコンデンサ、チップ抵抗等の受動素子59である。またこれらの素子は、ベアチップでも封止されたチップでも良い。厚みが厚くはなるが、CSP、BGA等のフェイスダウンス素子（フリップチップとも呼ぶ）も実装できる。

【0043】ここでは、ベアのトランジスタチップ56が導電路55Aにダイボンディングされる。また、エミッタ電極と導電路55B、ベース電極と導電路55Cが、熱圧着によるボールボンディング法あるいは超音波によるウェッジボンディング法等で固着された金属細線58を介して接続される。またチップコンデンサまたは受動素子が、半田等のろう材またはAgペースト等の導電ペースト60を介して導電路55Cと55Dの間に実装され固着される。

【0044】また図14に示すパターンを本実施の形態で応用した場合、ボンディングパッド26は、そのサイズが非常に小さいが、図3に示すように、導電箔55B、55Cと一体である。よってボンディングツールのエネルギーを伝えることができ、ボンディング性も向上するメリットを有する。またボンディング後の金属細線のカットに於いて、金属細線をプルカットする場合がある。この時は、ボンディングパッドが導電箔55B、55Cと一体で成るため、ボンディングパッドが浮いたりする現象を無くせ、プルカット性も向上する。

【0045】本発明の第4の工程は、図6に示す如く、回路素子、接続手段および導電路を被覆し、導電路55A～55D間を充填されるように絶縁性樹脂でモールドすることにある。

【0046】本工程では、導電路55A～55D、導電路55A～55D間に絶縁性樹脂61を付着される。これは、トランスファーモールド、インジェクションモールド、ポッティングや印刷または塗布により実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーモールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0047】導電箔51表面に被覆された絶縁性樹脂61の厚さは、回路素子の最頂部（ここでは金属細線58

10

20

30

40

50

の頂部)から約100 μ mが被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0048】尚、ここの絶縁性樹脂61を被覆する前に、例えば半導体チップや金属細線の接続部を保護するためにシリコン樹脂等をポッティングしても良い。

【0049】また、従来は部品のサイズ毎にトランスファーモールド金型が必要であった。しかし、本発明では、トランスファーモールドにより導電箔51に絶縁性樹脂61が一体にモールドされるため、トランスファーモールド用の金型は、フレームの大きさに合わせた1組あれば、部品のサイズに関係なく同じ金型でトランスファーモールドすることができる。

【0050】本発明の第5の工程は、図5に示す如く、導電箔51の連結部を除去することにある。すなわち、導電箔51の裏面を化学的および/または物理的に除き、導電路55A~55Dとして分離する工程がある。この工程は、研磨、研削、エッチング、レーザの金属蒸発等により可能となる。

【0051】本発明の実施形態の一例では、図5に示したように、図4に示した2点鎖線部まで、具体的には、導電箔51に形成された凹部の底部から絶縁性樹脂61が露出するまで下面切削で削る。この作業により、導電路55A~55Dを分離することができる。

【0052】また、その他の導電箔51の裏面を除く工程としては、導電箔51の裏面を図4に示した2点鎖線部手前まで下面切削により削り、その後、凹部の底部から絶縁性樹脂61が露出するまでエッチングし導電箔51の裏面を平坦にする工程や導電箔51の裏面を凹部の底部から絶縁性樹脂61が露出するまでエッチングにより除去する工程等がある。

【0053】ここで、例えば、絶縁性樹脂61が露出するまで下面切削により削ると導電箔51の削りカスや外側に薄くのばされたバリ状の金属が、絶縁性樹脂61等に食い込んでしまう場合がある。そこで、導電路55A~55Dを分離する最終段階で、エッチングにより分離する工程を用いることで、より確実に絶縁性樹脂61等は、導電箔51の削りカスや外側に薄くのばされたバリ状の金属が食い込むことなく形成される。このことにより、微細間隔の導電パターン同士の短絡を防止することができる。

【0054】更に、必要によって露出した導電路55A~55Dに半田等の導電材を被着する。また、導電路55A~55Dの裏面に導電被膜を被着する場合、図1の導電箔51の裏面に、前もって導電被膜を形成しても良い。この場合、導電路に対応する部分を選択的に被着すれば良い。被着方法は、例えばメッキである。またこの導電被膜は、エッチングに対して耐性がある材料が良い。

【0055】本発明の第6の工程は、図6に示す如く、

絶縁性樹脂61を切断して個別の回路装置に分離することにある。

【0056】本実施の形態では、導電路にトランジスタとチップ抵抗が実装されているだけの回路装置しか示されていないが、実際にはこれを1単位としてマトリックス状に多数個の回路装置が導電箔51上に配置されている。この場合は、各単位間の導電路間に充填された絶縁性樹脂61のところをダイシング装置で切断して個々に分離される。その結果、スムーズなダイシングを可能とし、また、ダイシングブレードの摩耗も低減することができる。

【0057】以上の製造方法によって、絶縁性樹脂61の裏面には導電路55A~55Dが露出した回路装置62が実現できる。

【0058】上記した本発明の実施例では、導電箔に所望の導電路を形成する工程において、所望の導電路形成部を凸部した金型を下面にしてプレスした場合、つまり、導電箔の表面に導電路を形成した場合を述べた。しかし、本実施例では、所望の導電路形成部を凸部した金型を上面にてプレスした場合、つまり、導電箔の裏面に導電路を形成した場合においても同様な効果を得ることが出来る。

【0059】本発明の回路装置について図6を参照しながらその構造について説明する。

【0060】図6には、絶縁性樹脂61に埋め込まれた導電路55A~55Dを有し、導電路55A~55D上には回路素子56、59が固着され、前記絶縁性樹脂61で導電路55A~55Dを支持して成る回路装置62が示されている。

【0061】本構造は、回路素子56、59、導電路55A~55Dと、この導電路55A~55Dを埋め込む絶縁性樹脂61の3つの材料で主に構成され、導電路55A~55D間には、この絶縁性樹脂61で充填されている。そして絶縁性樹脂61により前記導電路55A~55Dが支持されている。

【0062】また、この導電路55A~55D間には絶縁性樹脂61が充填されることで、お互いの絶縁がはかれるメリットを有する。

【0063】そして、導電路55A~55Dを露出することにより、導電路の裏面が外部との接続を可能にし、図9の如き従来構造のスルーホールTHを不要にできる特徴を有する。

【0064】以上に、上記した実施の形態で説明した本発明の製造方法は、図14で示すような複雑なパターンも実施可能である。特に曲折し、ボンディングパッド26と一体で成り、他端は回路素子と電気的に接続される配線は、その幅も狭く、しかもその長さが長い。そのため、熱による反りは、非常に大きく、従来構造では剥がれが問題となる。しかし本発明では、配線が絶縁性樹脂に埋め込まれて支持されているので、配線自身の反り、

剥がれ、抜けを防止することができる。またボンディングパッド自身は、その平面面積が小さく、従来の構造では、ボンディングパッドの剥がれが発生するが、本発明では、前述したように絶縁性樹脂に埋め込まれているため、抜けを防止できるメリットを有する。

【0065】更には、絶縁性樹脂61の中に回路を埋め込んだ回路装置が実現できるメリットもある。従来構造で説明すれば、プリント基板、セラミック基板の中に回路を組み込んだようなものである。これは、後の実装方法にて説明する。

【0066】図13の右側には、本発明を簡単にまとめたフローが示されている。導電箔の用意、AgまたはNi等のメッキ、導電箔の絞り加工、ダイボンド、ワイヤーボンディング、トランスファーモールド、導電路の裏面処理およびダイシングの8工程で回路装置が実現できる。しかも支持基板をメーカーから供給することなく、全ての工程を内作する事ができる。回路装置の種類およびこれらの実装方法を説明する実施の形態

図7は、フェイスダウン型の回路素子71を実装した回路装置72を示すものである。回路素子71としては、ベアの半導体チップ、表面が封止されたCSPやBGA（フリップチップ）等が該当する。また図8は、チップ抵抗やチップ抵抗等の受動素子73が実装された回路装置74を示すものである。これらは、薄型であり、しかも絶縁性樹脂で封止されてあるため、耐環境性にも優れたものである。

【0067】図9は、実層構造について説明するものである。まず図9(A)は、プリント基板や金属基板、セラミック基板等の実装基板81に形成された導電路82に今まで説明してきた本発明の回路装置62、71、74が実装されたものである。

【0068】特に、半導体チップ56の裏面が固着された導電路55Aは、実装基板81の導電路82と熱的に結合されているため、前記導電路82を介して回路装置の熱を放熱させることができる。また実装基板81として金属基板を採用すると、金属基板の放熱性も手伝って更に半導体チップ56の温度を低下させることができる。そのため、半導体チップの駆動能力を向上させることができる。

【0069】例えばパワーMOS、IGBT、SIT、大電流駆動用のトランジスタ、大電流駆動用のIC(MOS型、BIP型、Bi-CMOS型)メモリ素子等は、好適である。

【0070】また金属基板としては、Al基板、Cu基板、Fe基板が好ましく、また導電路82との短絡が考慮されて、絶縁性樹脂および/または酸化膜等が形成されている。

【0071】また図9(B)は、本回路装置62を、図9(A)の基板81として活用したものである。これは、本発明の最大の特徴となるものである。つまり従来

のプリント基板、セラミック基板では、ただだか基板の中にスルーホールTHが形成されている程度であるが、本発明では、IC回路を内蔵させた基板モジュールが実現できる特徴を有する。例えば、プリント基板の中に少なくとも1つの回路(システムとして内蔵させても良い)が内蔵されているものである。

【0072】また、従来では、支持基板としてプリント基板、セラミック基板等が必要であったが、本発明では、この支持基板が不要となる基板モジュールが実現できる。これは、プリント基板、セラミック基板または金属基板で構成されたハイブリッド基板と比べ、その厚みを薄く、その重量を小さくできる。

【0073】また本回路装置62を支持基板として活用し、露出している導電路に回路素子を実装できるため、高機能な基板モジュールが実現できる。特に本回路装置を支持基板とし、この上に素子として本回路装置91を実装すれば、基板モジュールとして更に軽量で薄いものが実現できる。

【0074】従って、これらの実装形態により、このモジュールを実装した電子機器は、小型で軽量なものが実現できる。

【0075】尚、符号93で示したハッチング部分は、絶縁性の被膜である。例えば半田レジスト等の高分子膜が好ましい。これを形成することにより、基板62の中に埋め込まれた導電路と回路素子91等に形成された電極との短絡を防止できる。

【0076】更に、図15を使い本回路装置のメリットを述べる。従来の実装方法に於いて、半導体メーカーは、パッケージ型半導体装置、フリップチップを形成し、セットメーカーは、半導体メーカーから供給された半導体装置と部品メーカーから供給された受動素子等をプリント基板に実装し、これをモジュールとしてセットに組み込んで電子機器としていた。しかし本回路装置では、自身を実装基板として採用できるため、半導体メーカーは、後工程を利用して実装基板モジュールを完成でき、セットメーカーに供給できる。従って、セットメーカーは、この基板への素子実装を大幅に省くことができる。

【0077】

【発明の効果】以上の説明から明らかなように、本発明では、回路装置、導電路および絶縁性樹脂の必要最小限で構成され、資源に無駄のない回路装置となる。よって完成するまで余分な構成要素が無く、コストを大幅に低減できる回路装置を実現できる。また絶縁性樹脂の被覆膜厚、導電箔の厚みを最適値にすることにより、非常に小型化、薄型化および軽量化された回路装置を実現できる。更には、反りや剥がれの現象が顕著である配線は、絶縁性樹脂に埋め込まれて支持されているために、これらの問題を解決することができる。

【0078】また導電路の裏面のみを絶縁性樹脂から露

10

20

30

40

50

出しているため、導电路の裏面が直ちに外部との接続に供することができ、図14の如き従来構造の裏面電極およびスルーホールを不要にできる利点を有する。

【0079】また本発明の回路装置の製造方法では、導电路の材料となる導電箔自体を支持基板として機能させ、導电路の形成部の形成時あるいは回路素子の実装、絶縁性樹脂の被着時までは導電箔で全体を支持し、また導電箔を各導电路として分離する時は、絶縁性樹脂を支持基板にして機能させている。従って、回路素子、導電箔、絶縁性樹脂の必要最小限で製造できる。従来例で説明した如く、本来回路装置を構成する上で支持基板が要らなくなり、コスト的にも安価にできる。また支持基板が不要であること、導电路が絶縁性樹脂に埋め込まれていること、更には絶縁性樹脂と導電箔の厚みの調整が可能であることにより、非常に薄い回路装置が形成できるメリットもある。

【0080】更に、本発明の回路装置の製造方法によれば、導電箔上に複数の導电路を形成する工程において、所望の導电路のパターンが凸部として形成された金型、および前記金型に対応した所望の導电路のパターンが凹部として形成された金型を準備し、前記1対の金型に導電箔を設置し両面からプレスすることで、所望の導电路を導電箔に形成する。そのことにより、一度に大量のユニットを形成することができ、大幅なコスト削減をすることができる。

【0081】更に、本発明の回路装置の製造方法によれば、回路装置に用いる回路素子のトランスファーモールド工程において、金属板上に複数形成された回路素子をトランスファーモールドにより絶縁性樹脂が一体にモールドするため、トランスファーモールド用の金型は、フレームの大きさに合わせた1組あれば、回路装置のサイズに関係なく同じ金型でトランスファーモールドすることができるので、大幅なコスト削減をすることができる。

【0082】更に、本発明の回路装置の製造方法によれば、本回路装置を支持基板として活用し、露出している導电路に回路素子を実装できるため、高機能な基板モジュールが実現できる。特に本回路装置を支持基板とし、

この上に素子として本回路装置91を実装すれば、基板モジュールとして更に軽量で薄いものが実現できる。

【図面の簡単な説明】

【図1】本発明の回路装置の製造方法の実施の形態を説明する図である。

【図2】本発明の回路装置の製造方法の実施の形態を説明する図である。

【図3】本発明の回路装置の製造方法の実施の形態を説明する図である。

【図4】本発明の回路装置の製造方法の実施の形態を説明する図である。

【図5】本発明の回路装置の製造方法の実施の形態を説明する図である。

【図6】本発明の回路装置の製造方法の実施の形態を説明する図である。

【図7】本発明の回路装置を説明する図である。

【図8】本発明の回路装置を説明する図である。

【図9】本発明の回路装置の実装構造を説明する図である。

【図10】従来の回路装置の実装構造を説明する図である。

【図11】従来の回路装置を説明する図である。

【図12】従来の回路装置の製造方法を説明する図である。

【図13】従来と本発明の回路装置の製造方法を説明する図である。

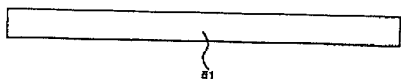
【図14】従来と本発明の回路装置に適用されるIC回路のパターン図である。

【図15】半導体メーカーとセットメーカーの位置づけを説明する図である。

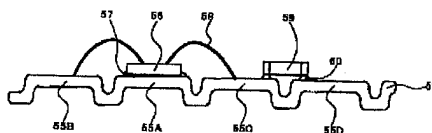
【符号の説明】

51	導電箔
52	金型
55A	導电路
56	回路素子
58	金属細線
61	絶縁性樹脂

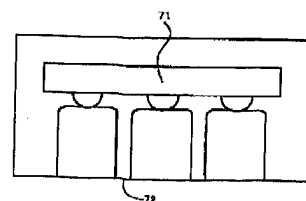
【図1】



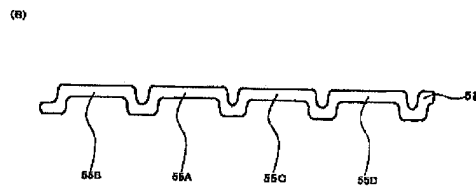
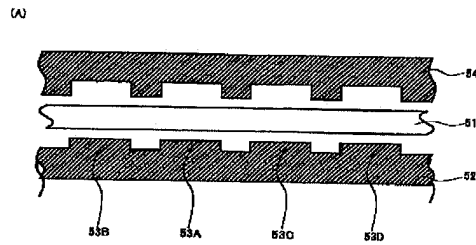
【図3】



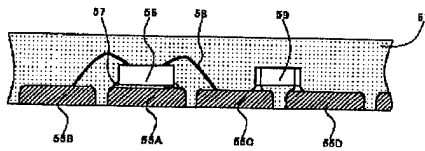
【図7】



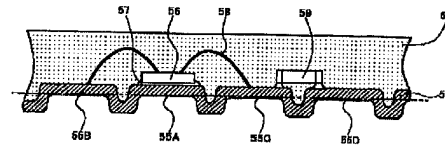
【図2】



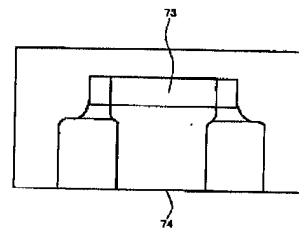
【図5】



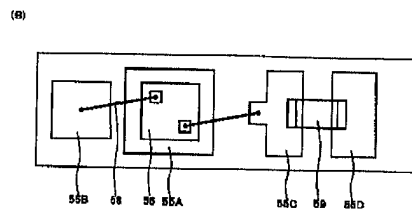
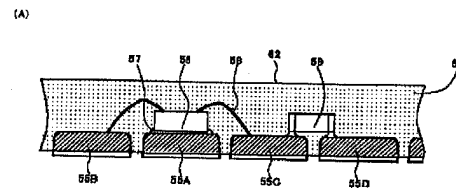
【図4】



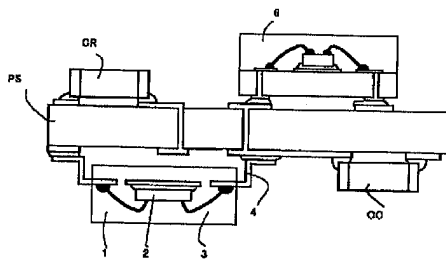
【図8】



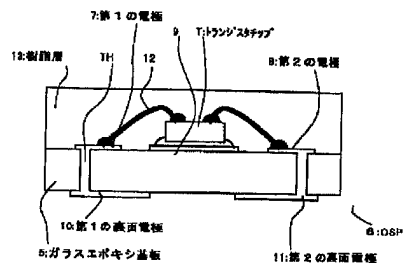
【図6】



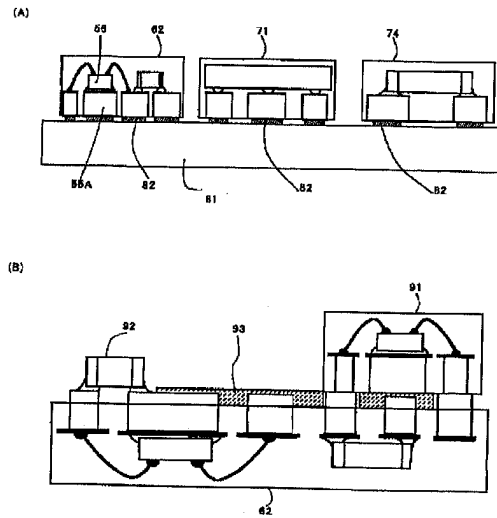
【図10】



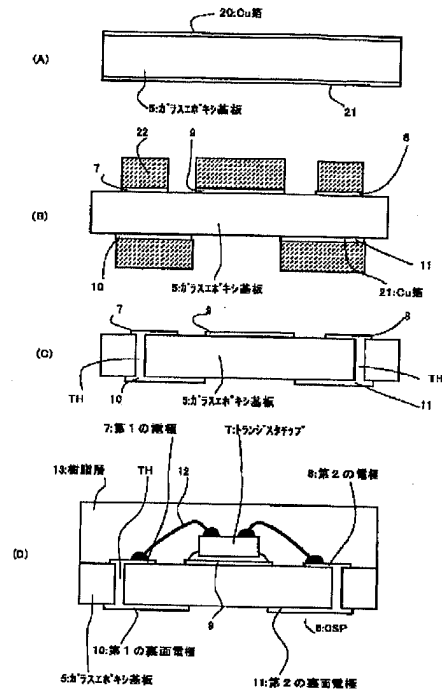
【図11】



【図9】



【図12】



【図13】

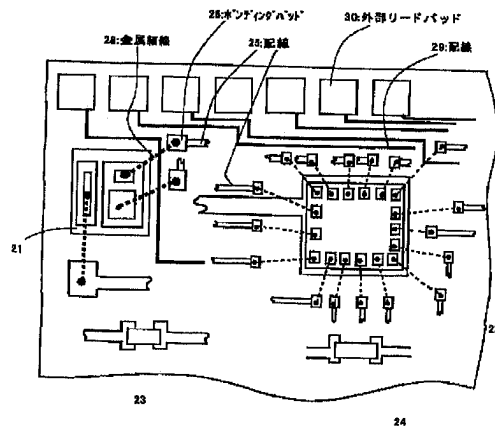
従来技術との製法比較

セラミック基板	ガラスエポキシ基板	基板レス
グリーンシート	基材	導電箔
スルーホール形成	Cu箔両面圧着	Agメッキ
導体印刷(表)	マスキング～エッチング	絞り加工
導体印刷(裏)	スルーホール形成	ダイボンド
焼結	スルーホールメッキ	ワイヤーボンディング
ボンディングポストNiメッキ	ボンディングポストNiメッキ	トランスファーモールド
ボンディングポストAuメッキ	ボンディングポストAuメッキ	裏面処理
ダイボンド	ダイボンド	ダイシング
ワイヤーボンディング	ワイヤーボンディング	
樹脂ポッティング	トランスファーモールド	
加熱硬化	ダイシング	
樹脂研磨		
ダイシング		

従来技術

本発明

【図14】



【図15】

